



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0040691  
Application Number

출원 년 월 일 : 2002년 07월 12일  
Date of Application JUL 12, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    06    월    25    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.06.10
【제출인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【사건의 표시】	
【출원번호】	10-2002-0040691
【출원일자】	2002.07.12
【발명의 명칭】	반도체 소자의 소자분리막 형성 방법
【제출원인】	
【접수번호】	1-1-2002-0222717-29
【접수일자】	2002.07.12
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yeal
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자 사원아파트 104 -1501
【국적】	KR

## 【발명자】

【성명의 국문표기】

박상욱

【성명의 영문표기】

PARK, Sang Wook

【주민등록번호】

670825-1144110

【우편번호】

143-755

【주소】

서울특별시 광진구 광장동 현대아파트  
501-1601

【국적】

KR

## 【발명자】

【성명의 국문표기】

동차덕

【성명의 영문표기】

DONG, Cha Deok

【주민등록번호】

720328-1168041

【우편번호】

467-040

【주소】

경기도 이천시 송정동 322번지 동양아파트  
101-704

【국적】

KR

## 【취지】

특허법시행규칙 제13조·실용신안법시행규칙 제8조  
의 규정에 의하여 위와 같 이 제출합니다. 대리인  
신영무 (인)

## 【수수료】

【보정료】

0 원

【기타 수수료】

원

【합계】

0 원

## 【첨부서류】

1. 기타첨부서류[보정사유서]\_1통

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.07.12
【발명의 명칭】	반도체 소자의 소자분리막 형성 방법
【발명의 영문명칭】	Method for forming an isolation layer in a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh YeaI
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【발명자】	
【성명의 국문표기】	박상욱
【성명의 영문표기】	PARK, Sang Wook
【주민등록번호】	670825-1144110
【우편번호】	143-755
【주소】	서울특별시 광진구 광장동 현대아파트 501-1601
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)

**【수수료】**

**【기본출원료】** 17 면 29,000 원

**【가산출원료】** 0 면 0 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 0 항 0 원

**【합계】** 29,000 원

**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 미세 트렌치를 이용한 반도체 소자의 소자분리막 형성 방법에 관한 것으로, 메모리 셀 지역과 주변회로 지역의 실리콘 기판에 트렌치를 형성한 후 주변회로 지역의 트렌치 표면부에 불활성 이온을 주입하여 비정질층을 형성한다. 이후 산화공정을 진행하여 비정질층에서의 과도산화에 의해 두꺼운 산화막이 성장되도록 함으로써 산화막의 두께만큼 주변회로 지역의 트렌치가 메모리 셀 지역의 트렌치보다 깊어지도록 한다.

**【대표도】**

도 2c

**【색인어】**

STI, 트렌치 깊이, 불활성 이온, 비정질층, 과도산화

**【명세서】****【발명의 명칭】**

반도체 소자의 소자분리막 형성 방법 {Method for forming an isolation layer in a semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1d는 본 발명의 기술적 원리를 설명하기 위한 그래프도.

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 소자분리막 형성 방법을 설명하기 위한 소자의 단면도.

도 3은 본 발명에 따라 형성된 확산방지층의 이온분포를 도시한 그래프도.

**<도면의 주요 부분에 대한 부호의 설명>**

1: 실리콘 기판    2: 패드 산화막

3: 패드 질화막    4: 트렌치

5: 마스크층    6: 비정질층

7a 및 7b: 산화막    8: 소자분리막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>    본 발명은 미세 트렌치(Shallow Trench)를 이용한 반도체 소자의 소자분리막 형성 방법에 관한 것으로, 더욱 상세하게는 메모리 셀 지역과 주변회로 지역의 트렌치 깊이를 다르게 형성할 수 있도록 한 반도체 소자의 소자분리막 형성 방법에 관한 것이다.

- <10> 반도체 메모리 소자의 집적도가 증가됨에 따라 메모리 셀의 크기도 감소된다. 따라서 근래에 들어 플래쉬 메모리 소자를 구현함에 있어 웨이퍼 당 메모리 셀의 비율을 확보하기 위해 미세 트렌치를 이용한 소자분리막을 이용한다.
- <11> 전기적인 프로그램 및 소거 기능을 가지는 플래쉬 메모리 소자는 프로그램 및 소거 시 메모리 셀의 콘트롤 게이트에 고전압이 인가되기 때문에 이를 위한 고전압용 트랜지스터가 많이 사용된다.
- <12> 그러나 종래에는 소자분리막 형성 시 메모리 셀 지역과 주변회로 지역에 동일한 깊이를 갖는 트렌치를 형성하기 때문에 고전압의 인가에 따른 많은 전기적인 문제점이 발생된다.
- <13> 디램(DRAM)의 경우에는 최대 5V 정도의 바이어스 전압이 인가되지만, 플래쉬 메모리의 경우 18 내지 24V의 바이어스 전압이 인가된다. 그러므로 주변회로 지역의 트렌치 깊이를 얇게 하면 NMOS 트랜지스터와 PMOS 트랜지스터의 웰에서 펀치 쓰루우(Punch through)가 발생되며, 메모리 셀 지역의 트렌치 깊이를 깊게 하면 공통 소스에서의 면저항이 증가되어 블록(Block) 단위의 프로그램, 소거 및 독출 동작시 동작속도가 저하된다. 이러한 동작속도의 저하는 프로그램, 소거 및 독출을 위한 바이어스 전압 간의 차에 따른 문제를 야기시킨다.
- <14> 따라서 메모리 셀 지역과 주변회로 지역의 트렌치를 각각 다른 깊이로 형성해야 하는데, 종래에는 서로 다른 마스크 패턴을 이용하여 메모리 셀 지역과 주변회로 지역에 각각 깊이가 다른 트렌치를 형성하는 방법 또는 메모리 셀 지역과 주변회로 지역에 각각 동일한 깊이의 트렌치를 형성한 후 소정의 마스크를 이용한 식각공정으로 주변회로 지역의 트렌치 깊이를 증가시키는 방법을 이용하였다.



<15> 그러나 상기와 같은 종래의 방법은 첫째, 식각공정의 특성상 웨이퍼 전체에 동일한 깊이를 갖는 트렌치를 형성하기 어렵고, 둘째, 식각 깊이의 차이로 인한 식각 부산물 (Residue)의 생성이 야기된다. 셋째, 물리적 식각에 따른 기판의 피해 특히, 트렌치 저면부의 식각 피해에 따른 누설전류가 발생되며, 이에 의해 고전압용 소자에서 펀치 스루 우 문제가 발생된다. 또한, 넷째, 주변회로 지역의 트렌치 깊이를 증가시키기 위한 식각 공정의 추가로 생산성이 저하된다.

**【발명이 이루고자 하는 기술적 과제】**

<16> 따라서 본 발명은 메모리 셀 지역과 주변회로 지역의 실리콘 기판에 트렌치를 형성한 후 주변회로 지역의 트렌치 표면부에 불활성 이온을 주입하여 비정질층을 형성하고, 산화공정을 진행하여 비정질층에서의 과도산화에 의해 두꺼운 산화막이 성장되도록 함으로써 상기한 단점을 해소할 수 있는 반도체 소자의 소자분리막 형성 방법을 제공하는 데 그 목적이 있다.

<17> 상기한 목적을 달성하기 위한 본 발명은 메모리 셀 지역 및 주변회로 지역의 실리콘 기판 상에 마스크 패턴을 형성한 후 노출된 부분의 실리콘 기판을 소정 깊이 식각하여 미세 트렌치를 형성하는 단계와, 상기 주변회로 지역의 트렌치 표면부에 불활성 이온을 주입하는 단계와, 상기 메모리 셀 지역 및 주변회로 지역의 트렌치 표면부에 산화막이 성장되도록 산화공정을 진행하되, 상기 이온 주입된 부분에서의 과도산화에 의해 상기 주변회로 지역의 트렌치 깊이가 증가되도록 하는 단계와, 상기 트렌치가 매립되도록 전체 상부면에 산화막을 형성한 후 표면을 평탄화시키는 단계를 포함하는 것을 특징으로 한다.

- <18>      상기 불활성 이온은 실리콘( $\text{Si}^{28}$ ) 또는 아르곤( $\text{Ar}^{40}$ )이며, 상기 산화 공정은 800 내지 1100℃의 온도에서 목표두께를 30 내지 150Å으로 하여 진행하는 것을 특징으로 한다.
- <19>      상기 불활성 이온을 주입한 후 상기 트렌치 하부에 확산방지층이 형성되도록 스파이크 열처리를 이용한 급속 열산화 공정을 진행하는 단계를 더 포함하는 것을 특징으로 하며, 상기 스파이크 열처리는 850 내지 1100℃의 온도에서 실시하며, 램프업 비율은 100 내지 250℃/sec가 되도록 조절하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <20>      본 발명은 이온 주입을 통해 실리콘( $\text{Si}$ )의 산화력을 극대화시키므로써 메모리 셀 지역과 주변회로 지역에 각각 깊이가 다른 트렌치가 형성되도록 한다. 즉, 메모리 셀 지역과 주변회로 지역의 실리콘 기판에 트렌치를 형성한 후 주변회로 지역의 트렌치 내부에 불활성 이온을 주입하여 트렌치 표면부의 실리콘 기판을 비정질화시킨다. 이후 산화 공정을 진행하여 비정질층에서의 과도산화에 의해 트렌치 표면부에 두꺼운 산화막이 성장되도록 함으로써 산화막의 두께만큼 주변회로 지역의 트렌치가 메모리 셀 지역의 트렌치보다 깊어진다.
- <21>      도 1a 내지 도 1d는 비소( $\text{As}^{75}$ ) 이온 주입에 따른 산화 경향을 도시한 그래프로써, 850℃의 온도에서 목표 두께를 30Å로 한 경우이다.
- <22>      도 1a 및 도 1b는 도즈량을  $3\text{E}15\text{cm}^{-2}$ 으로 조절한 경우 이온 주입 에너지에 따른 산화막의 성장 두께를 도시하며, 도 1c 및 도 1d는 이온 주입 에너지를 30KeV 및 20KeV로 각각 조절한 경우 도즈량에 따른 산화막의 성장 두께를 도시한다.

- <23> 이온 주입 조건과 산화 조건에 따라 산화되는 정도가 달라짐을 알 수 있는데, 이온을 주입하지 않은 경우보다 비소(As) 이온을 주입한 경우 최고 5 내지 10배 정도 두꺼운 산화막을 얻을 수 있었다.
- <24> 그러나 비소( $\text{As}^{75}$ )와 같이 전기적 특성을 띄는 도펀트는 트렌치의 바닥면에서 전기장과 누설전류를 발생시킬 수 있으므로 본 발명에서는 전기적 특성을 띄지 않는 불활성 도펀트인 실리콘( $\text{Si}^{28}$ ) 또는 아르곤(Ar) 이온을 사용하는데, 실리콘( $\text{Si}^{28}$ ) 이온의 경우 산화력이 우수한 것으로 확인되었다.
- <25> 그러면 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
- <26> 도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 소자분리막 형성 방법을 설명하기 위한 소자의 단면도이다.
- <27> 도 2a는 메모리 셀 지역(M)과 주변회로 지역(P)의 실리콘 기판(1) 상에 패드 산화막(2)과 패드 질화막(3)을 순차적으로 형성한 상태의 단면도이다.
- <28> 상기 패드 산화막(2)은 상기 실리콘 기판(1) 표면의 결정결함을 억제하고 표면처리를 위해 형성하는데, DHF(50:1) + SC-1( $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ ) 또는 BOE(100:1 또는 300:1) + SC-1( $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ ) 용액으로 전처리 세정공정을 실시한 후 750 내지 800℃의 온도에서 건식 또는 습식으로 형성하며, 70 내지 100Å의 두께로 형성한다.
- <29> 상기 패드 질화막(3)은 저압화학기상증착(LPCVD)법으로 형성하며, 900 내지 2000Å의 두께로 형성한다.
- <30> 도 2b는 소자분리 마스크를 사용하여 상기 패드 질화막(3) 및 패드 산화막(2)을 순차적으로 패터닝한 후 노출된 부분의 실리콘 기판(1)을 소정 깊이 식각하여 트렌치(4)를

형성한 상태의 단면도로서, 상기 트렌치(4)는 측벽이 80 내지 85°의 경사각을 갖도록 형성한다.

<31> 도 2c는 전체 상부면에 마스크층(5)을 형성한 후 주변회로 지역(P)이 노출되도록 상기 마스크층(5)을 패터닝하고, 노출된 주변회로 지역(P)의 트렌치(4) 표면부에 불활성 이온을 주입하는 상태의 단면도이고, 도 2d는 상기 마스크층(5)을 제거하므로써 상기 주변회로 지역(P)의 트렌치(4) 표면부의 실리콘 기판(1)에 불활성 이온 주입에 의해 비정 질층(6)이 형성된 상태가 도시된다.

<32> 상기 불활성 이온으로는 실리콘( $\text{Si}^{28}$ ) 또는 아르곤( $\text{Ar}^{40}$ ) 이온을 사용한다. 실리콘( $\text{Si}^{28}$ ) 이온의 경우 5 내지 50KeV의 에너지 및  $1\text{E}13$  내지  $1\text{E}16\text{cm}^{-2}$ 의 도즈량으로 주입하고, 아르곤( $\text{Ar}^{40}$ ) 이온의 경우 5 내지 50KeV의 에너지 및  $1\text{E}14$  내지  $1\text{E}16\text{cm}^{-2}$ 의 도즈량으로 주입하되, 일정량 이상의 이온이 충분히 기판에 수직( $0^\circ$ )한 방향으로 주입되도록 고전류의 이온주입기를 사용한다. 이때, 노출된 주변회로 지역(P)의 패드 질화막(3)은 후에 제거될 것이므로 이온에 의한 활성영역의 오염은 발생되지 않는다.

<33> 도 2e는 상기 트렌치(4)를 형성하기 위한 식각공정 시 발생된 실리콘 기판(1)의 피해를 완화시키고 트렌치(4)의 모서리 부분의 형태를 둥글게 만들기 위해 산화 공정을 실시한 상태의 단면도로서, 상기 산화 공정에 의해 상기 메모리 셀 지역(M) 및 주변회로 지역(P)의 트렌치(4) 표면부에 산화막(7a 및 7b)이 형성된다. 이때, 이온이 주입된 비정 질층(6)에서는 과도산화가 진행되기 때문에 상기 주변회로 지역(P)의 트렌치(4) 표면부에 형성된 산화막(7a)이 상기 메모리 셀 지역(M)의 트렌치(4) 표면부에 형성된 산화막(7b)보다 두꺼워 두께( $T_{ox}$ )만큼 트렌치(4)의 깊이가 증가된다.

- <34>      상기 산화 공정은 800 내지 1100℃의 온도에서 목표두께를 30 내지 150Å으로 하여 진행한다.
- <35>      도 2f는 상기 메모리 셀 지역(M) 및 주변회로 지역(P)의 트렌치(4)가 매립되도록 전체 상부면에 고밀도 플라즈마(High Density Plasma) 산화막을 4000 내지 10000Å 정도로 두껍게 형성한 후 화학적기계적연마(Chemical Mechanical Polishing) 공정으로 평탄화시키므로써 상기 트렌치(4) 내부에 소자분리막(8)이 형성된 상태의 단면도이다.
- <36>      한편, 비소(As75), 인(P), 붕소(BF2) 등과 같은 이온은 후속 열처리 과정에서 내부 확산(Transient Enhanced Diffusion; TED 또는 Oxidation Enhanced Diffusion; OED)되기 때문에 이온의 농도감소에 따른 항복전압(Breakdown Voltage)의 감소 등과 같은 전기적 특성에 관한 문제를 유발한다. 특히, 반응로에서의 열처리는 내부확산에 대해 취약점을 가지고 있다. 따라서 본 발명은 실리콘 기판의 내부에 분포된 불순물을 게터링하며 이온의 내부확산을 방지하기 위해 실리콘 기판의 소정 깊이내에 확산방지층을 형성한다.
- <37>      즉, 도 2d와 같이 상기 메모리 셀 지역(M)의 트렌치(4) 내부에 불활성 이온을 주입하여 비정질층(6)을 형성한 후 스파이크(Spike) 열처리를 이용한 급속 열산화(Rapid Thermal Oxidation; RTO) 공정을 진행하면 주입된 이온이 상기 트렌치(4) 하부에 게터링되어 도 3과 같은 이온분포를 갖는 확산방지층(도시않됨)이 형성된다. 이때, 트렌치(4) 내부의 실리콘 기판(1) 표면에 일정량의 산화막이 형성되도록 산소(O<sub>2</sub>) 분위기를 유지하며, 실리콘 기판(1)의 표면에 질화막이 존재하면 산화가 억제되므로 상기 열처리 전에 제거한다. 상기 스파이크 열처리는 850 내지 1100℃의 온도에서 실시하며, 램프업 비율은 100 내지 250℃/sec가 되도록 조절한다.

<38> 이와 같이 형성된 확산방지층은 후속 열처리 과정에서 이온이 실리콘 기판(1)의 저면부로 내부확산되는 것을 방지한다.

<39> 도 3에서, 선 A는 950℃에서 30분동안 열처리한 경우, 선 B는 비소(As) 이온을 주입한 경우, 선 C는 950℃에서 20초동안 열처리한 경우, 선 D는 1000℃에서 10초동안 열처리한 경우, 선 E는 1050℃에서 스파이크 열처리한 경우 깊이에 따른 이온의 농도분포를 각각 도시한다.

#### 【발명의 효과】

<40> 상술한 바와 같이 본 발명은 메모리 셀 지역과 주변회로 지역의 실리콘 기판에 트렌치를 형성한 후 주변회로 지역의 트렌치를 통해 노출된 실리콘 기판의 표면부에 불활성 이온을 주입하여 비정질층을 형성한다. 이후 산화공정을 진행하여 비정질층에서의 과도산화에 의해 두꺼운 산화막이 성장되도록 함으로써 산화막의 두께만큼 주변회로 지역의 트렌치가 메모리 셀 지역의 트렌치보다 깊어진다.

<41> 상기와 같이 본 발명은 첫째, 물리적인 식각공정이 아닌 산화공정을 이용함으로써 식각에 의한 피해가 방지되도록 하며, 둘째, 전기적인 특성을 띄지 않는 불활성 이온을 사용함으로써 이온 주입에 의한 피해가 최소화되어 소자의 전기적 특성이 향상되도록 한다. 넷째, 이온 주입 에너지를 조절하면 트렌치의 깊이 조절이 용이해지기 때문에 초고집적 소자에도 쉽게 적용할 수 있다.

<42> 또한, 본 발명은 상기와 같이 불활성 이온 주입을 통해 비정질층을 형성한 후 스파이크 열처리를 이용한 급속 열산화 공정을 진행하여 주입된 이온이 트렌치 하부로 게터링되도록 함으로써 후속 열처리 과정에서 발생하는 이온의 내부확산이 방지되도록 한다.

**【특허청구범위】****【청구항 1】**

메모리 셀 지역 및 주변회로 지역의 실리콘 기판 상에 마스크 패턴을 형성한 후 노출된 부분의 실리콘 기판을 소정 깊이 식각하여 미세 트렌치를 형성하는 단계와,

상기 주변회로 지역의 트렌치 표면부에 불활성 이온을 주입하는 단계와,

상기 메모리 셀 지역 및 주변회로 지역의 트렌치 표면부에 산화막이 성장되도록 산화공정을 진행하되, 상기 이온 주입된 부분에서의 과도산화에 의해 상기 주변회로 지역의 트렌치 깊이가 증가되도록 하는 단계와,

상기 트렌치가 매립되도록 전체 상부면에 산화막을 형성한 후 표면을 평탄화시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 마스크 패턴은 패드 산화막 및 패드 질화막으로 이루어진 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 트렌치는 측벽이 80 내지 85°의 경사각을 갖도록 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 불활성 이온은 실리콘( $\text{Si}^{28}$ ) 및 아르곤( $\text{Ar}^{40}$ ) 중 어느 하나인 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 5】**

제 4 항에 있어서, 상기 실리콘( $\text{Si}^{28}$ ) 이온은 5 내지 50KeV의 에너지 및  $1\text{E}13$  내지  $1\text{E}16\text{cm}^{-2}$ 의 도즈량으로 주입되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 6】**

제 4 항에 있어서, 상기 아르곤( $\text{Ar}^{40}$ ) 이온은 5 내지 50KeV의 에너지 및  $1\text{E}14$  내지  $1\text{E}16\text{cm}^{-2}$ 의 도즈량으로 주입되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 7】**

제 1 항에 있어서, 상기 산화 공정은 800 내지  $1100^{\circ}\text{C}$ 의 온도에서 목표두께를 30 내지  $150\text{\AA}$ 으로 하여 진행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 8】**

제 1 항에 있어서, 상기 평탄화는 화학적기계적연마 방법으로 실시되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

**【청구항 9】**

제 1 항에 있어서, 상기 불활성 이온을 주입한 후 상기 트렌치 하부에 확산방지층이 형성되도록 스파이크 열처리를 이용한 급속 열산화 공정을 진행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

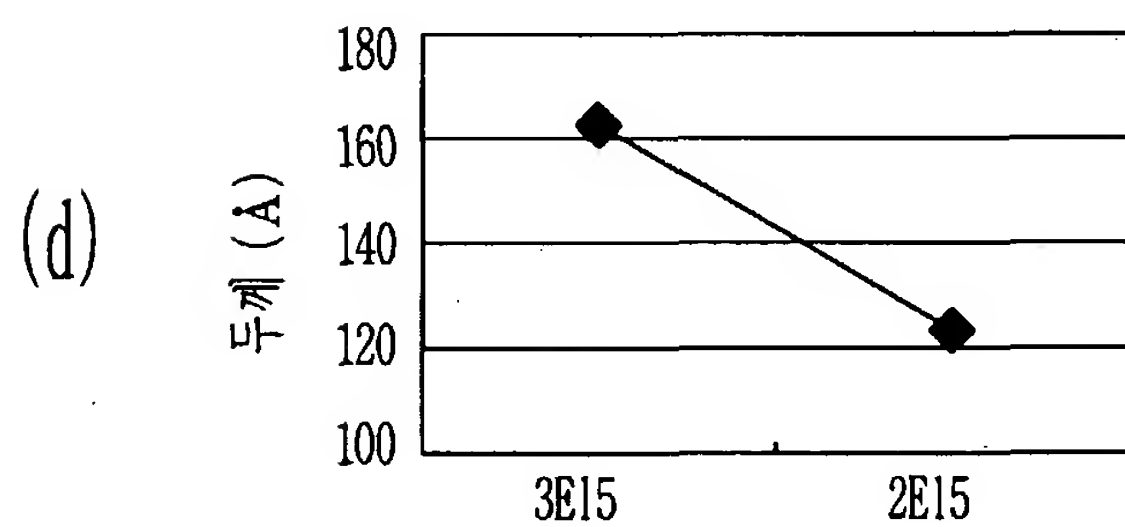
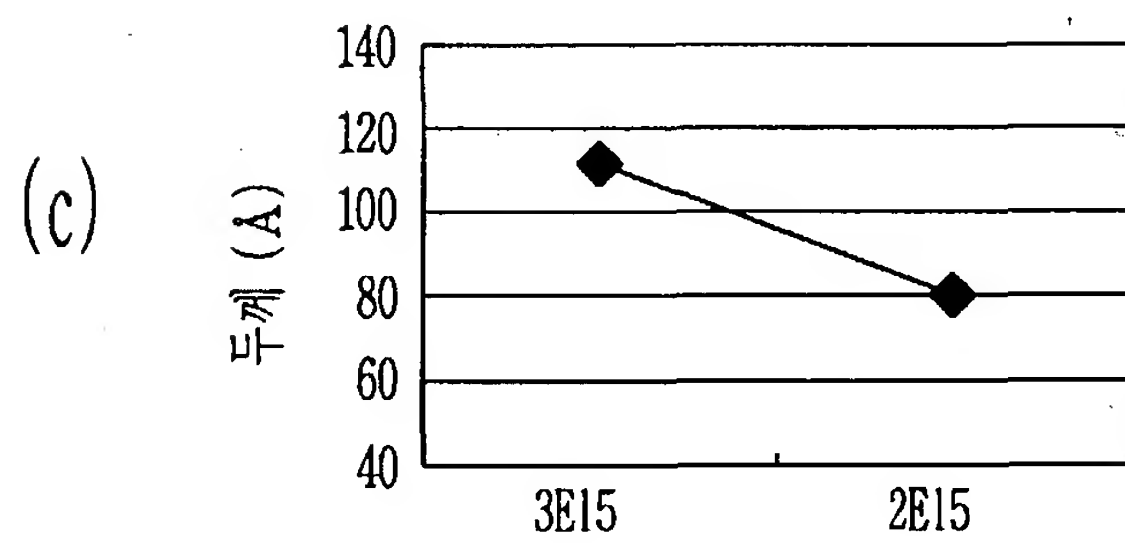
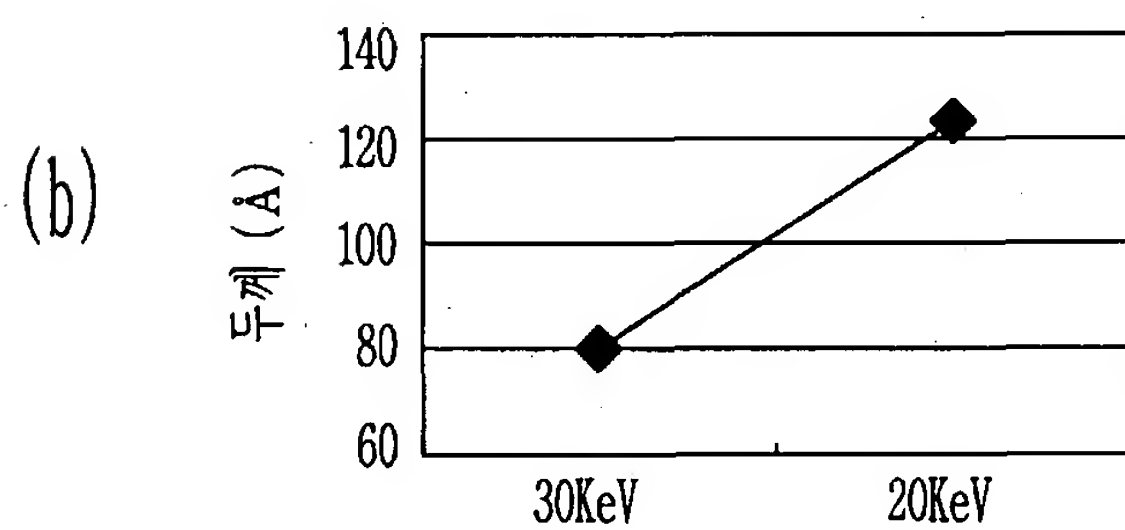
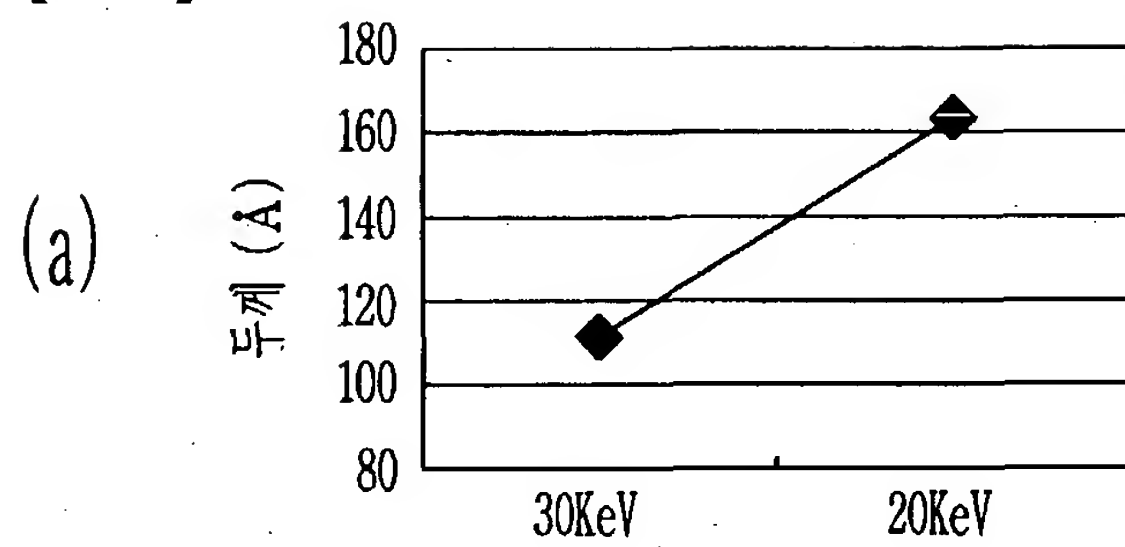


**【청구항 10】**

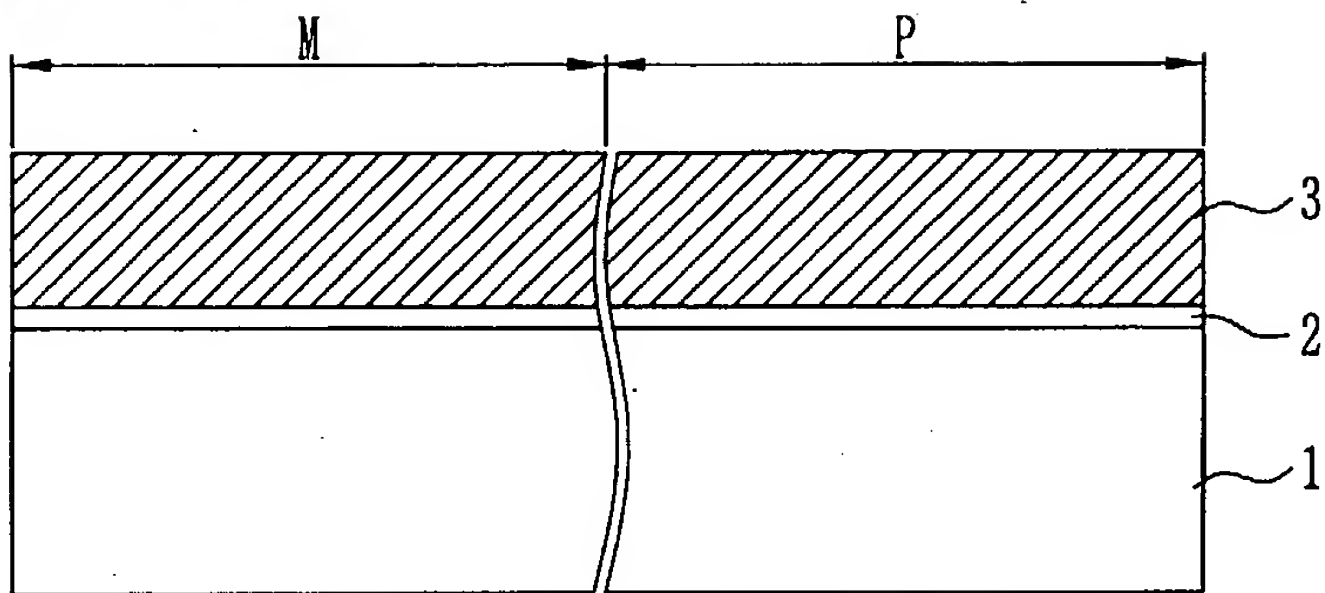
제 9 항에 있어서, 상기 스파이크 열처리는 850 내지 1100℃의 온도에서 실시하며, 램프업 비율은 100 내지 250℃/sec가 되도록 조절하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

## 【도면】

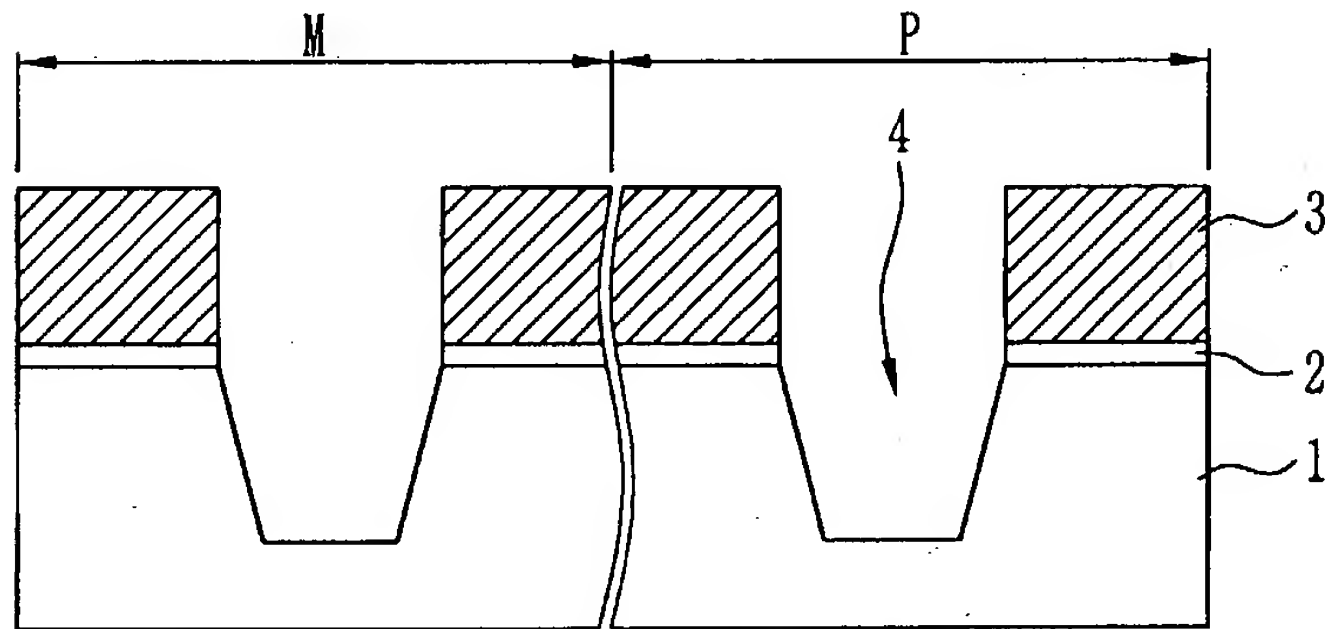
【도 1】



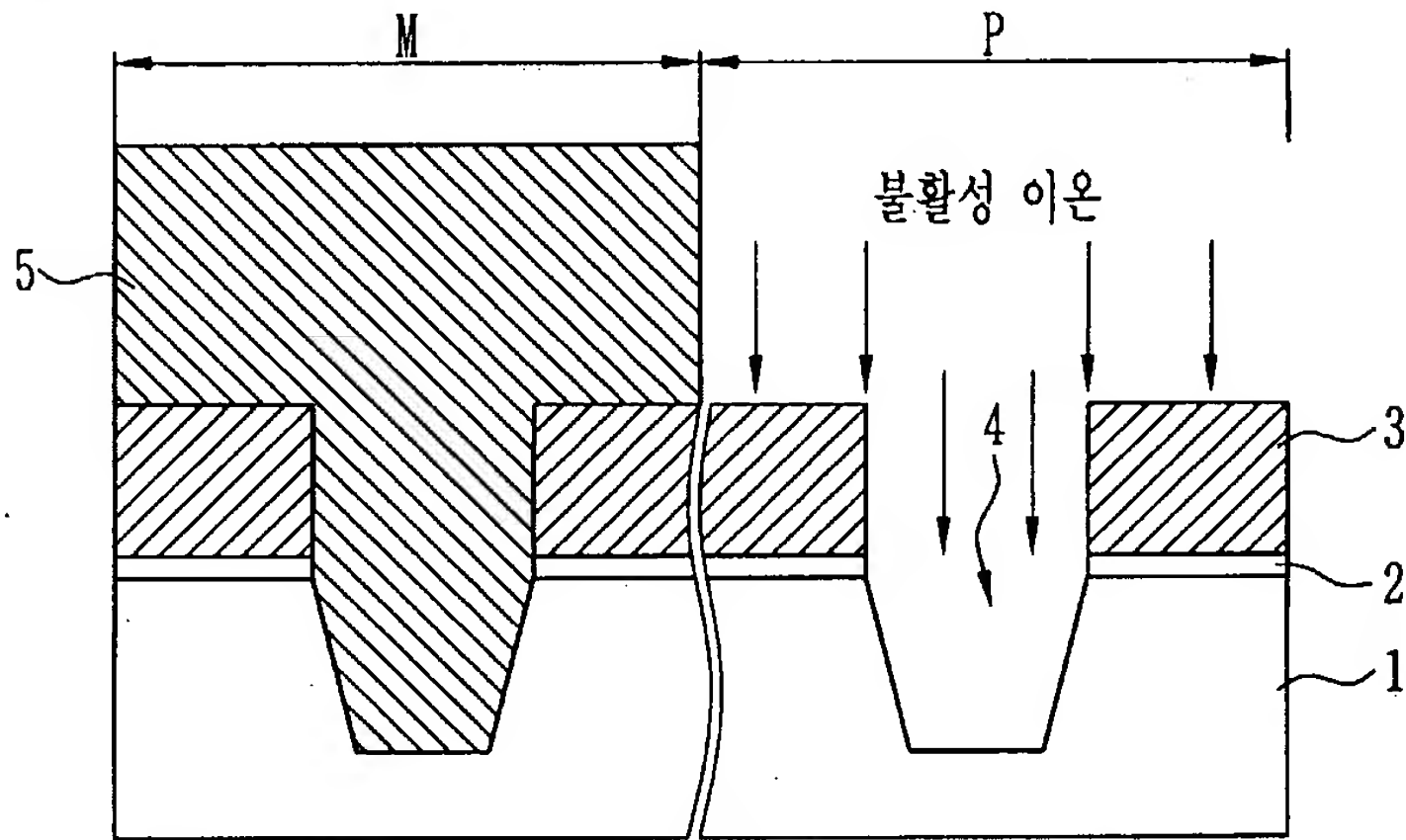
【도 2a】



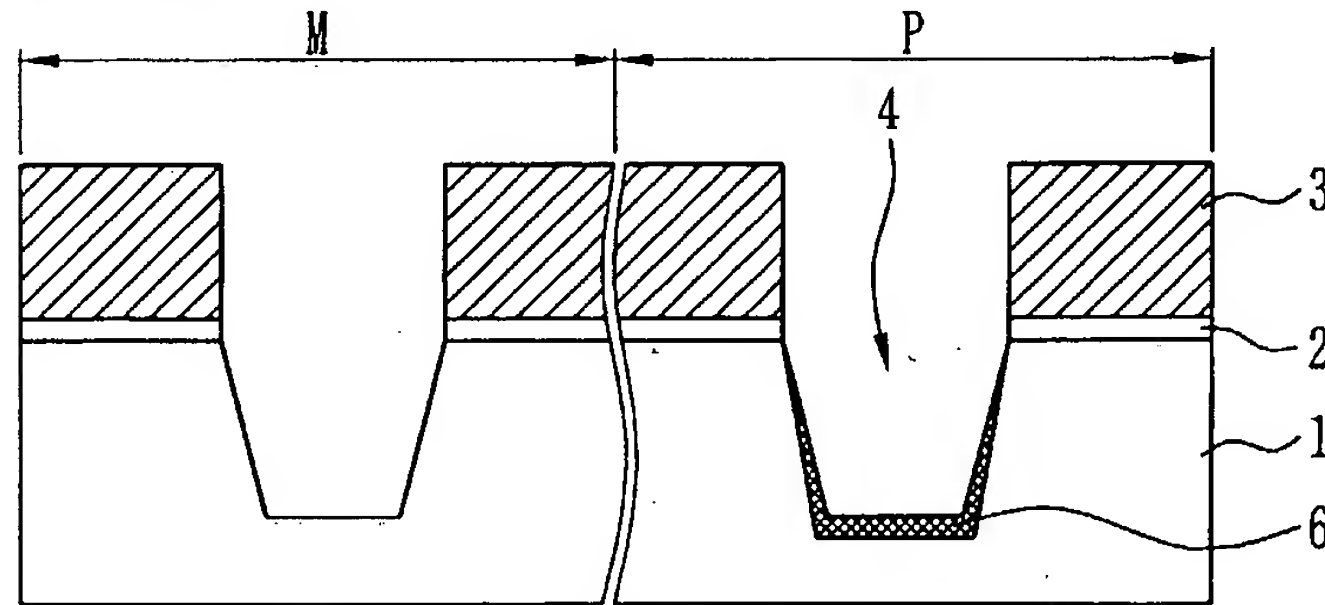
【도 2b】



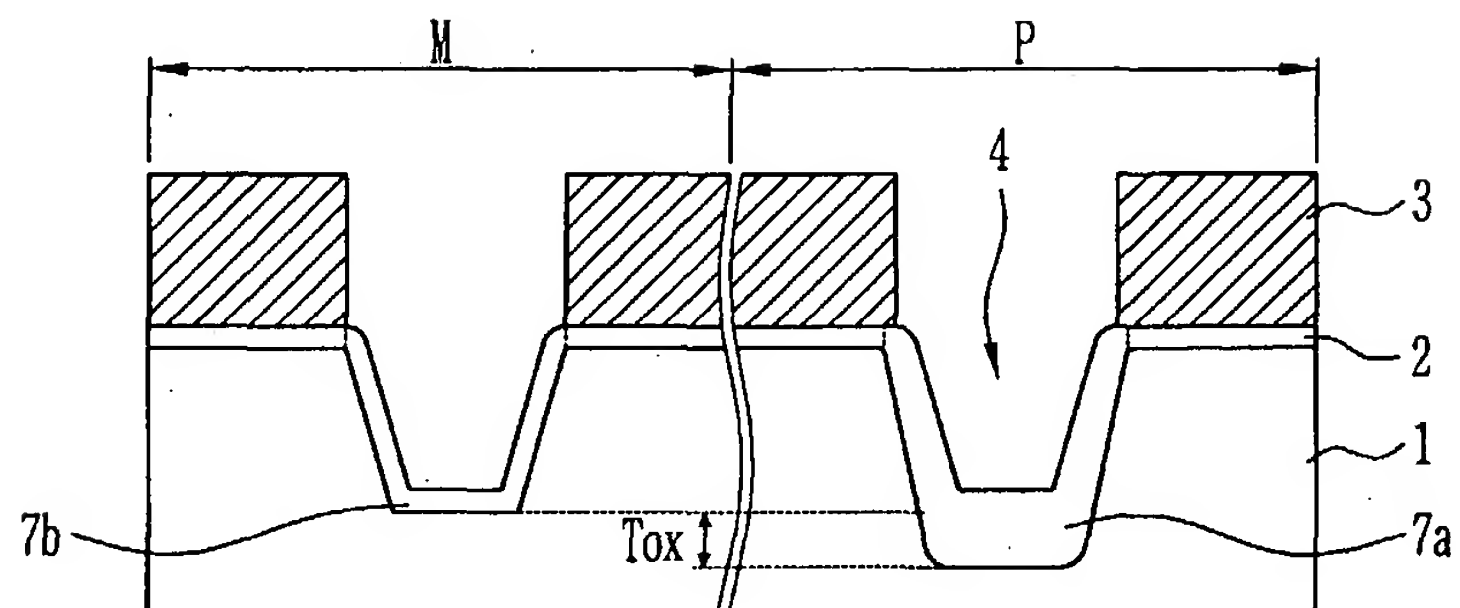
【도 2c】



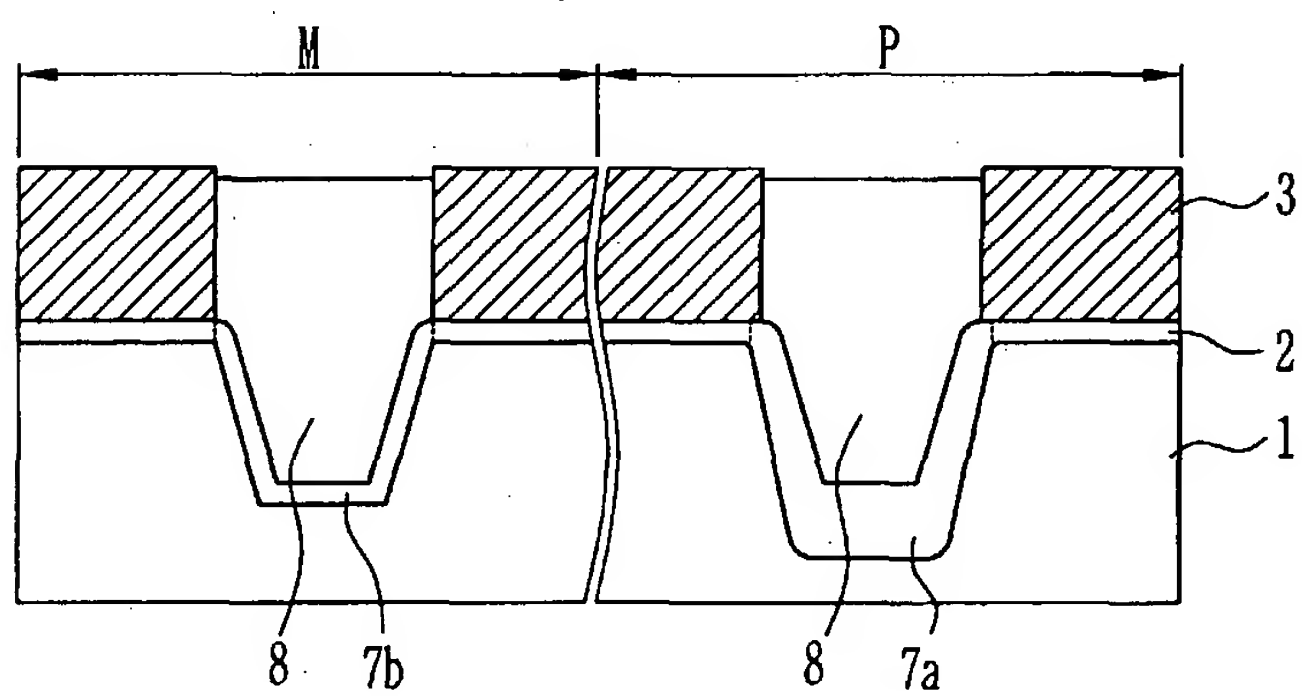
【도 2d】



【도 2e】



【도 2f】



【도 3】

